

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-039171

(43)Date of publication of application : 12.02.1999

(51)Int.Cl.

G06F 9/46
G06F 9/46

(21)Application number : 09-194346

(71)Applicant : IMAI MASAHARU
YAZAKI CORP

(22)Date of filing : 18.07.1997

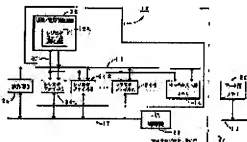
(72)Inventor : IMAI MASAHARU
SHIOMI AKIHIKA
NAKANO TAKUMI
ITABASHI MITSUYOSHI
KIROKU MASASHI

(54) MULTITASK PROCESSOR, MULTITASK PROCESSING CONTROL METHOD AND CONTROL PROGRAM STORING MEDIUM

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent deterioration of the performance of an entire microprocessor even when the number of tasks to process is larger than the number of the register groups of microprocessors.

SOLUTION: A saving/returning control circuit 12 in a multitask processor 30 saves a context loaded in one of the register groups 24-1 to 24-M in a memory for a context 14 through an internal bus for saving/returning 11 provided separately from an internal bus 17, and returns the context loaded in the context memory 14 back to the register group. Thus, normal task processing can be executed in parallel with the saving/returning of the context to reduce overhead to improve the entire performance. In addition, as circuit configuration can be simplified compared with the case of connecting the memory 14 to an external bus 13, a register switching time can be reduced, and connection of the memory 14 to external devices is not required, thus malfunction due to a connection mistake, etc., is prevented, resulting in improved reliability.



特開平11-39171

(43) 公開日 平成11年(1999) 2月12日

(51) Int. Cl. ⁴	識別記号	F I
G 0 6 F 9/46	3 1 3	G 0 6 F 9/46
	3 4 0	3 1 3 D
		3 4 0 B

審査請求 未請求 請求項の数 7 O L (全 13 頁)

(21) 出願番号 特願平9-194346

(22) 出願日 平成9年(1997) 7月18日

(71) 出願人 592048855

今井 正治

兵庫県宝塚市雲雀丘山手2丁目15番30号
404

(71) 出願人 000006895

矢崎総業株式会社

東京都港区三田1丁目4番28号

(72) 発明者 今井 正治

兵庫県宝塚市雲雀丘山手2丁目15番30号
404

(74) 代理人 弁理士 瀧野 秀雄 (外1名)

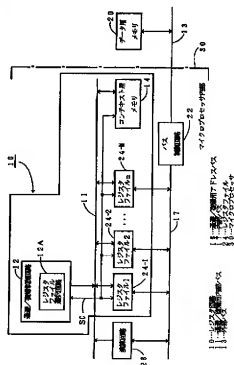
最終頁に続く

(54) 【発明の名称】 マルチタスク処理装置、マルチタスク処理制御方法及び制御プログラム記憶媒体

(57) 【要約】

【課題】 処理すべきタスク数がマイクロプロセッサのレジスタ群数より多い場合にも、マイクロプロセッサ全体のパフォーマンスを低下させない。

【解決手段】 マルチタスク処理装置30の退避/復帰制御回路12は、内部バス17とは別個に設けられた退避/復帰用内部バス11を介して、いずれかのレジスタ群24-1〜24-Mに格納されているコンテキストをコンテキスト用メモリ14に退避するとともに、コンテキスト用メモリ14に格納されている処理すべきコンテキストを当該レジスタ群に復帰させるので、通常のタスク処理をコンテキストの退避/復帰と並行して行なうことができ、オーバーヘッドを削減して、全体のパフォーマンスを向上できる。さらにコンテキスト用メモリ14を外部バス13に接続する場合と比較して回路構成を簡略化でき、レジスタ切替時間の短縮化が図れ、コンテキスト用メモリ14を外部に接続する必要もないので接続ミス等による誤動作が発生せず信頼性を向上できる。



【特許請求の範囲】

【請求項1】 各々がコンテキストを格納するM個
(M: 2以上の整数)のレジスタ群と、タスク処理を行
なうべく前記M個のレジスタ群に接続された内部バス
と、前記内部バスに接続され前記内部バスと外部の外部
バスとの間のインターフェース動作を行うバス制御回路
と、を有し、選択したいずれかのレジスタ群に格納さ
れている前記コンテキストに基づいて複数の前記タスク
処理を順次行なうとともに、前記外部バスを介して外部
とデータのやりとりを行うマルチタスク処理装置におい
て、
前記コンテキストを格納するコンテキスト用記憶手段
と、
前記内部バスとは別個に設けられ、かつ、前記M個のレ
ジスタ群と前記コンテキスト用記憶手段との間に設けら
れて前記コンテキストの退避/復帰を行なうための退避
/復帰用内部バスと、
前記退避/復帰用内部バスを介して、前記コンテキスト
を前記コンテキスト用記憶手段に退避し、あるいは、前
記コンテキスト用記憶手段から前記コンテキストを前記
レジスタ群に復帰させるための制御を行なう退避/復帰
制御手段と、
を備えたことを特徴とするマルチタスク処理装置。

【請求項2】 請求項1記載のマルチタスク処理装置に
おいて、
前記退避/復帰制御手段は、現在実行中のタスク処理と
並行して前記現在実行中のタスク処理を除く各タスク処
理の優先順位及び処理状態に基づいて次に退避可能なタ
スク処理及び復帰すべきタスク処理の判別処理を行なう
ことを特徴とするマルチタスク処理装置。
【請求項3】 請求項1又は請求項2記載のマルチタスク
処理装置において、
並行して処理すべき全タスク数をL (L: 2以上の整
数)とし、
 $L \leq M$

の場合には、全タスク処理に対応するコンテキストを前
記M個のレジスタ群のうちのL個のレジスタ群に格納す
ることを特徴とするマルチタスク処理装置。

【請求項4】 各々がコンテキストを格納するM個
(M: 2以上の整数)のレジスタ群と、タスク処理を行
なうべく前記M個のレジスタ群に接続された内部バス
と、前記内部バスに接続され前記内部バスと外部の外部
バスとの間のインターフェース動作を行うバス制御回路
と、前記内部バスとは別個に設けられ、かつ、前記M個
のレジスタ群と前記コンテキスト用記憶手段との間に設
けられて前記コンテキストの退避/復帰を行なうための
退避/復帰用内部バスと、を有し、選択したいずれかの
レジスタ群に格納されている前記コンテキストに基づ
いて複数の前記タスク処理を順次行なうとともに、前記
外部バスを介して外部とデータのやりとりを行うマルチ

タスク処理装置のマルチタスク処理制御方法であって、
現在実行中のタスク処理と並行して前記現在実行中のタ
スク処理を除く各タスク処理の優先順位及び処理状態に
基づいて次に退避可能なタスク処理及び復帰すべきタ
スク処理を判別する判別工程と、
前記判別に基づいて、前記退避/復帰用内部バスを介し
て、前記退避可能なタスク処理に対応するコンテキスト
を前記コンテキスト用記憶手段に退避し、あるいは、前
記コンテキスト用記憶手段から前記コンテキストを前記
レジスタ群に復帰させるための制御を行なう退避/復帰
制御工程と、
を備えたことを特徴とするマルチタスク処理制御方法。

【請求項5】 請求項4記載のマルチタスク処理制御方
法において、
並行して処理すべき全タスク数をL (L: 2以上の整
数)とし、
 $L \leq M$

の場合には、前記M個のレジスタ群のうちのL個のレジ
スタ群に全タスク処理に対応するコンテキストを格納す
る格納工程を備えたことを特徴とするマルチタスク処理
制御方法。

【請求項6】 各々がコンテキストを格納するM個
(M: 2以上の整数)のレジスタ群と、タスク処理を行
なうべく前記M個のレジスタ群に接続された内部バス
と、前記内部バスに接続され前記内部バスと外部の外部
バスとの間のインターフェース動作を行うバス制御回路
と、前記内部バスとは別個に設けられ、かつ、前記M個
のレジスタ群と前記コンテキスト用記憶手段との間に設
けられて前記コンテキストの退避/復帰を行なうための
退避/復帰用内部バスと、を有し、選択したいずれかの
レジスタ群に格納されている前記コンテキストに基づ
いて複数の前記タスク処理を順次行なうとともに、前記
外部バスを介して外部とデータのやりとりを行うマルチ
タスク処理装置にマルチタスク処理を行わせるための制
御プログラムを記憶した制御プログラム記憶媒体であっ
て、

現在実行中のタスク処理と並行して前記現在実行中のタ
スク処理を除く各タスク処理の優先順位及び処理状態に
基づいて次に退避可能なタスク処理及び復帰すべきタ
スク処理を判別する、
前記判別に基づいて、前記退避/復帰用内部バスを介し
て、前記退避可能なタスク処理に対応するコンテキスト
を前記コンテキスト用記憶手段に退避し、あるいは、前
記コンテキスト用記憶手段から前記コンテキストを前記
レジスタ群に復帰させるための制御を行なう、
制御プログラムを記憶したことを特徴とする制御プロ
グラム記憶媒体。

【請求項7】 請求項6記載の制御プログラム記憶媒体
において、
並行して処理すべき全タスク数をL (L: 2以上の整

数)とし、
 $L \leq M$

の場合には、前記M個のレジスタ群のうちのL個のレジスタ群に全タスク処理に対応するコンテキストを格納する、

制御プログラムを記憶したことを特徴とする制御プログラム記憶媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マルチタスク処理装置、マルチタスク処理制御方法及び制御プログラム記憶媒体に係り、特にマルチタスキングにおいて、コンテキストスイッチング(Context switching)を行なうマルチタスク処理装置、マルチタスク処理制御方法及びマルチタスク制御用プログラムを記憶した制御プログラム記憶媒体に関する。

【0002】

【従来の技術】近年のマイクロプロセッサにおいては、複数のタスクを並行して処理するマルチタスキングが行なわれている。従来のマイクロプロセッサは、レジスタファイル(レジスタ群)を1組しか持っていなかったため、タスク切換の際には、レジスタファイルの内容であるコンテキストを外部メモリであるコンテキスト用メモリ(例えば、メインメモリ上に設ける。)に退避し、次にレジスタファイルの内容を退避したタスクの処理を行なう場合には、コンテキスト用メモリから対応するコンテキストをレジスタに復帰させていた。

【0003】しかし、上記従来のマイクロプロセッサにおいては、タスク切換が起こる度にコンテキスト用メモリに対するアクセスが必要となる。コンテキスト用メモリ空間の切換え、例えば、メインメモリ空間の切換えはかなりの時間を要するため、マイクロプロセッサ全体としてのパフォーマンスが低下してしまうという問題点があった。

【0004】

【発明が解決しようとする課題】上記問題点を解決すべく、複数のレジスタファイルを設け、コンテキスト用メモリ空間の切換え頻度を低減することによりパフォーマンスの向上を図る方法が提案されている。

【0005】図11に複数のレジスタファイルを有するマイクロプロセッサの概要構成ブロック図を示す。マイクロプロセッサ100は、それぞれ一のタスクのコンテキストを格納する複数のレジスタファイル101-1~101-nと、複数のレジスタファイル101-1~101-nにいずれのタスクに対応するコンテキストが格納されているかを判別し、タスクの処理に用いるレジスタファイルを選択するための制御信号を出力するレジスタファイル選択回路105と、レジスタファイル101-1~101-nと演算回路110及び制御回路111とを接続する内部バス(内部アドレスバス及び内部データバス)10

6と、内部バス106及び外部バス109を制御するためのバス制御回路107と、を備えて構成されている。

【0006】さらに、マイクロプロセッサ100には、レジスタファイル101-1~101-nに格納しきれないコンテキストを退避するとともに、各種データを記憶するデータ/コンテキスト用メモリ108が外部バス109を介して接続されている。次に動作を説明する。

1) 処理すべきタスク数Nがレジスタファイル数n以下の場合 ($N \leq n$)

この場合には、各タスクのコンテキストはいずれかのレジスタファイルに格納されていることとなる。

【0007】従って、タスク切換えが発生した場合には、レジスタファイル選択回路105は、切換え先のタスクに対応するレジスタファイルを複数のレジスタファイル101-1~101-nのうちから判別し、対応するレジスタファイル101-X ($X=1 \sim n$) のみをアクティブにするための制御信号を出力する。

【0008】これによりそれ以降は、当該アクティブにされたレジスタファイル101-Xのみがアクセス可能となり、このレジスタファイル101-Xに格納されているコンテキストに基づいて演算回路110及び制御回路111は動作を行なうこととなる。

【0009】従って、処理すべきタスク数Nがレジスタファイル数n以下の場合には、レジスタファイル101-1~101-nに格納しきれないコンテキストが発生することがなく、各種データを記憶するデータ/コンテキスト用メモリ108に対して外部バス109を介してアクセスする必要がないので、高速にタスク切換えを行なうことができ、マイクロプロセッサ100全体のパフォーマンスを向上させることができるのである。

2) 処理すべきタスク数Nがレジスタファイル数nより多い場合 ($N > n$)

この場合には、N個のタスクのコンテキストのうち、n個のタスクに対応するコンテキストはいずれかのレジスタファイルに格納されているとともに、(N-n)個のコンテキストはデータ/コンテキスト用メモリ108に格納されていることとなる。

【0010】従って、タスク切換えが発生した場合には、レジスタファイル選択回路105は、切換え先のタスクに対応するコンテキストがレジスタファイル101-1~101-nのいずれかに存在するか否かを判別し、いずれかのレジスタファイル101-1~101-nに当該切換え先のタスクに対応するコンテキストが存在する場合には、対応するレジスタファイル101-X ($X=1 \sim n$) のみをアクティブにするための制御信号を出力する。

【0011】これによりそれ以降は、当該アクティブにされたレジスタファイル101-Xのみがアクセス可能となり、このレジスタファイル101-Xに格納されているコンテキストに基づいて演算回路110及び制御回路1

5

11は動作を行なうこととなる。

【0012】一方、いずれのレジスタファイル101-1～101-nにも当該切換え先のタスクに対応するコンテキストが存在しない場合には、レジスタファイル選択回路105は、タスクの優先度等に基づいてデータ/コンテキスト用メモリ108に退避すべきコンテキストが格納されているレジスタファイル101-Y ($Y=1\sim n$)を判別するとともに、バス制御回路107を制御することにより、当該レジスタファイル101-Yに格納されているコンテキストを内部バス106及び外部バス109を介してデータ/コンテキスト用メモリ108に退避する。

【0013】退避が終了すると、レジスタファイル選択回路105は、再びバス制御回路107を制御することにより復帰させるべきコンテキストを外部バス109及び内部バス106を介してレジスタファイル101-Yに格納する。そして、レジスタファイル選択回路105は、コンテキストの復帰が完了すると、レジスタファイル101-Yのみをアクティブにするための制御信号を出力する。

【0014】これによりそれ以降は、当該アクティブにされたレジスタファイル101-Yのみがアクセス可能となり、このレジスタファイル101-Yに格納されているコンテキストに基づいて演算回路110及び制御回路111は動作を行なうこととなる。

【0015】以上の説明のように、処理すべきタスク数Nがレジスタファイル数nより多い場合には、全てのコンテキストをレジスタファイルに格納することができず、コンテキストの退避/復帰のための時間が必要となつて、マイクロプロセッサ全体のパフォーマンスが低下してしまうという問題点があった。

【0016】また、コンテキスト用のメモリは外部バスに接続されているため、インターフェース動作などに起因してレジスタファイルの切替が高速では行えないという不具合があった。さらにコンテキスト用のメモリを外部に接続するため、誤接続の可能性があり、信頼性が低下してしまうという可能性があった。

【0017】そこで、本発明の目的は、処理すべきタスク数がマイクロプロセッサのレジスタファイル（レジスタ群）数よりも多い場合にもレジスタ切替を高速に行えマイクロプロセッサ全体のパフォーマンスを低下させることなく、信頼性を向上することが可能なマルチタスク処理装置、マルチタスク処理制御方法及び制御プログラム記憶媒体を提供することにある。

【0018】

【課題を解決するための手段】請求項1記載の発明は、各々がコンテキストを格納するM個（M：2以上の整数）のレジスタ群と、タスク処理を行なうべく前記M個のレジスタ群に接続された内部バスと、前記内部バスに接続され前記内部バスと外部の外部バスとの間のインタ

6

一フェース動作を行うバス制御回路とを有し、選択したいいずれかのレジスタ群に格納されている前記コンテキストに基づいて複数の前記タスク処理を順次行なうとともに、前記外部バスを介して外部とデータのやり取りを行うマルチタスク処理装置において、前記コンテキストを格納するコンテキスト用記憶手段と、前記内部バスとは別個に設けられ、かつ、前記M個のレジスタ群と前記コンテキスト用記憶手段との間に設けられて前記コンテキストの退避/復帰を行なうための退避/復帰用内部バスと、前記退避/復帰用内部バスを介して、前記コンテキストを前記コンテキスト用記憶手段に退避し、あるいは、前記コンテキスト用記憶手段から前記コンテキストを前記レジスタ群に復帰させるための制御を行なう退避/復帰制御手段と、を備えて構成する。

【0019】請求項1記載の発明によれば、マルチタスク処理装置は、コンテキストの退避/復帰処理を行なう必要がない場合には、M個のレジスタ群のうち、処理すべきタスクに対応するレジスタ群に格納されているデータを内部バスを介してやり取りしてタスクの処理を行なう。

【0020】そして処理に用いるレジスタ群を切換えることにより、複数のタスク処理を順次行なうマルチタスク処理を行なう。一方、コンテキストの退避/復帰処理を行なう必要がある場合、すなわち、M個のレジスタ群に処理すべきタスクに対応するコンテキストが格納されている場合には、退避/復帰制御手段は、内部バスとは別個に設けられた退避/復帰用内部バスを介して、いずれかのレジスタ群に格納されているコンテキストをコンテキスト用記憶手段に退避するとともに、コンテキスト用記憶手段に格納されている処理すべきコンテキストを当該レジスタ群に復帰させる。

【0021】従つて、通常のタスク処理を内部バスを介して行うことにより、コンテキストの退避/復帰と並行して行なうことができる。請求項2記載の発明は、請求項1記載の発明において、前記退避/復帰制御手段は、現在実行中のタスク処理と並行して前記現在実行中のタスク処理を除く各タスク処理の優先順位及び処理状態に基づいて次に退避可能なタスク処理及び復帰すべきタスク処理の判別処理を行なうように構成する。

【0022】請求項2記載の発明によれば、請求項1記載の発明の作用に加えて、退避/復帰制御手段は、現在実行中のタスク処理と並行して現在実行中のタスク処理を除く各タスク処理の優先順位及び処理状態に基づいて次に退避可能なタスク処理及び復帰すべきタスク処理の判別処理を行なう。

【0023】請求項3記載の発明は、請求項1又は請求項2記載の発明において、並行して処理すべき全タスク数をL（L：2以上の整数）とし、 $L \leq M$

の場合には、全タスク処理に対応するコンテキストを前

7

記M個のレジスタ群のうちのL個のレジスタ群に格納する。

【0024】請求項3記載の発明によれば、請求項1又は請求項2記載の発明の作用に加えて、並行して処理すべき全タスク数をL（L；2以上の整数）とし、

$L \leq M$

の場合には、全タスク処理に対応するコンテキストをM個のレジスタ群のうちのL個のレジスタ群に格納するので、タスク切替に伴うコンテキストの退避/復帰処理が生じることがなく高速に処理を行なうことができる。

【0025】請求項4記載の発明は、各々がコンテキストを格納するM個（M；2以上の整数）のレジスタ群と、タスク処理を行なうべく前記M個のレジスタ群に接続された内部バスと、前記内部バスに接続され前記内部バスと外部の外部バスとの間のインターフェース動作を行うバス制御回路と、前記内部バスとは別個に設けられ、かつ、前記M個のレジスタ群と前記コンテキスト用記憶手段との間に設けられて前記コンテキストの退避/復帰を行なうための退避/復帰用内部バスと、を有し、選択したいずれかのレジスタ群に格納されている前記コンテキストに基づいて複数の前記タスク処理を順次行なうとともに、前記外部バスを介して外部とデータのやりとりを行うマルチタスク処理装置のマルチタスク処理制御方法であって、現在実行中のタスク処理と並行して前記現在実行中のタスク処理を除く各タスク処理の優先順位及び処理状態に基づいて次に退避可能なタスク処理及び復帰すべきタスク処理を判断する判断工程と、前記判断に基づいて、前記退避/復帰用内部バスを介して、前記退避可能なタスク処理に対応するコンテキストを前記コンテキスト用記憶手段に退避し、あるいは、前記コンテキスト用記憶手段から前記コンテキストを前記レジスタ群に復帰させるための制御を行なう退避/復帰制御工程と、を備えて構成する。

【0026】請求項4記載の発明によれば、判断工程は、現在実行中のタスク処理と並行して現在実行中のタスク処理を除く各タスク処理の優先順位及び処理状態に基づいて次に退避可能なタスク処理及び復帰すべきタスク処理を判断する。これにより退避/復帰工程は、判断工程における判断に基づいて、退避/復帰用バスを介して、退避可能なタスク処理に対応するコンテキストをコンテキスト用記憶手段に退避し、あるいは、コンテキスト用記憶手段からコンテキストをレジスタ群に復帰させるための制御を行なう。

【0027】請求項5記載の発明は、請求項4記載のマルチタスク処理制御方法において、並行して処理すべき全タスク数をL（L；2以上の整数）とし、

$L \leq M$

の場合には、前記M個のレジスタ群のうちのL個のレジスタ群に全タスク処理に対応するコンテキストを格納する格納工程を備えて構成する。

8

【0028】請求項5記載の発明によれば、請求項4記載の発明の作用に加えて、格納工程は、

$L \leq M$

の場合には、M個のレジスタ群のうちのL個のレジスタ群に全タスク処理に対応するコンテキストを格納する。

【0029】請求項6記載の発明は、各々がコンテキストを格納するM個（M；2以上の整数）のレジスタ群と、タスク処理を行なうべく前記M個のレジスタ群に接続された内部バスと、前記内部バスに接続され前記内部バスと外部の外部バスとの間のインターフェース動作を行うバス制御回路と、前記内部バスとは別個に設けられ、かつ、前記M個のレジスタ群と前記コンテキスト用記憶手段との間に設けられて前記コンテキストの退避/復帰を行なうための退避/復帰用内部バスと、を有し、選択したいずれかのレジスタ群に格納されている前記コンテキストに基づいて複数の前記タスク処理を順次行なうとともに、前記外部バスを介して外部とデータのやりとりを行うマルチタスク処理装置にマルチタスク処理を行わせるための制御プログラムを記憶した制御プログラム記憶媒体であって、現在実行中のタスク処理と並行して前記現在実行中のタスク処理を除く各タスク処理の優先順位及び処理状態に基づいて次に退避可能なタスク処理及び復帰すべきタスク処理を判断させ、前記判断に基づいて、前記退避/復帰用内部バスを介して、前記退避可能なタスク処理に対応するコンテキストを前記コンテキスト用記憶手段に退避し、あるいは、前記コンテキスト用記憶手段から前記コンテキストを前記レジスタ群に復帰させるための制御を行なう、制御プログラムを記憶する。

【0030】請求項6記載の発明によれば、マルチタスク処理装置は、制御プログラムに基づいて、現在実行中のタスク処理と並行して前記現在実行中のタスク処理を除く各タスク処理の優先順位及び処理状態に基づいて次に退避可能なタスク処理及び復帰すべきタスク処理を判断させ、前記判断に基づいて、前記退避/復帰用内部バスを介して、前記退避可能なタスク処理に対応するコンテキストを前記コンテキスト用記憶手段に退避し、あるいは、前記コンテキスト用記憶手段から前記コンテキストを前記レジスタ群に復帰させるための制御を行なう。

【0031】請求項7記載の発明は、請求項6記載の発明において、並行して処理すべき全タスク数をL（L；2以上の整数）とし、

$L \leq M$

の場合には、前記M個のレジスタ群のうちのL個のレジスタ群に全タスク処理に対応するコンテキストを格納する、制御プログラムを記憶する。

【0032】請求項7記載の発明によれば、請求項6記載の発明において、マルチタスク処理装置は、制御プログラムに基づいて、

$L \leq M$

9

の場合には、前記M個のレジスタ群のうちのL個のレジスタ群に全タスク処理に対応するコンテキストを格納する。

【0033】

【発明の実施の形態】次に図面を参照して本発明の好適な実施形態を説明する。図1にマルチタスク処理装置の実施形態としてのマイクロプロセッサの概要構成ブロック図を示す。

【0034】マイクロプロセッサ30は、大別すると、後述のM個のレジスタファイル（レジスタ群）24-1〜24-Mを有し、退避/復帰処理を行なうレジスタ回路10と、レジスタファイル24-1〜24-Mの内容に基づいて各種演算を行なう演算回路26と、後述のレジスタファイル24-1〜24-Mと演算回路26を接続する内部バス（内部アドレスバス及び内部データバス）17と、内部バス17及び後述の外部バス13を制御するためのバス制御回路22と、を備えて構成されている。

【0035】レジスタ回路10は、内部バス17とは別個に設けられ、後述のレジスタファイル24-1〜24-Mと接続されている退避/復帰用内部バス11と、演算回路26の処理状態に応じてコンテキストの退避/復帰を制御するタスクの処理に用いるレジスタファイルを選択するための制御信号SCを出力する退避/復帰制御回路12と、退避/復帰用内部バス11を介して退避したコンテキストを格納するためのコンテキスト用メモリ14と、それぞれ一タスクのコンテキストを格納するM個（M；2以上の整数）のレジスタファイル（レジスタ群）24-1〜24-Mと、を備えて構成されている。

【0036】バス制御回路22には、各種データを記憶する外部メモリとしてのデータ用メモリ20が接続された外部バス13が接続されている。退避/復帰制御回路12は、複数のレジスタファイル24-1〜24-Mにいずれのタスクに対応するコンテキストが格納されているかを判別するレジスタファイル選択回路12Aを備えて構成されている。

【0037】次に概要動作を説明する。この場合において、マルチタスク制御用のプログラムは、図示しないROM等の不揮発性メモリに書き込まれ、あるいは、外部バスを介して外部の記憶媒体（フロッピーディスク、ハードディスク、光ディスク、半導体メモリ等）から供給され、または、外部から通信により受信することにより図示しないRAMに格納されてマイクロプロセッサにより処理されるものとする。

1) 処理すべきタスク数Nがレジスタファイル数M以下の場合（ $N \leq M$ ）

この場合には、各タスクのコンテキストはいずれかのレジスタファイル24-1〜24-Mに格納されることとなる。

【0038】従って、タスク切換えが発生した場合には、レジスタファイル選択回路12Aは、切換え先のタ

10

スクに対応するレジスタファイルを複数のレジスタファイル24-1〜24-Mのうちから判別し、対応するレジスタファイル24-X（ $X=1 \sim M$ ）のみをアクティブにするための制御信号SCを出力する。

【0039】これによりそれ以降は、当該アクティブにされたレジスタファイル24-Xのみがアクセス可能となり、このレジスタファイル24-Xに格納されているコンテキストに基づいて演算回路26は動作を行なうこととなる。従って、処理すべきタスク数Nがレジスタファイル数M以下の場合には、レジスタファイル24-1〜24-Mに格納しきれないコンテキストが発生することはない、退避/復帰用内部バス11を介してコンテキスト用メモリ14をアクセスする必要があるの、高速にタスク切換えを行うことができ、マイクロプロセッサ30全体のパフォーマンスを向上させることができるのである。

2) 処理すべきタスク数Nがレジスタファイル数Mより多い場合（ $N > M$ ）

この場合には、N個のタスクのコンテキストのうち、M個のタスクに対応するコンテキストはいずれかのレジスタファイル24-1〜24-Mに格納されているとともに、（ $N-M$ ）個のコンテキストはコンテキスト用メモリ14に格納されていることとなる。

i) 退避/復帰処理を行なわない場合の制御

そこで、タスク切換えが発生した場合には、レジスタファイル選択回路12Aは、内部バス17、バス制御回路22、外部バス13及びデータ用メモリ20を用いて現在行なわれている演算回路26のタスクの処理と並行して、切換え先のタスクに対応するコンテキストがレジスタファイル24-1〜24-Mのいずれかに存在するか否かを判別する。

【0040】このレジスタファイル選択回路12Aの判別に基づいて退避/復帰制御回路12は、いずれかのレジスタファイル24-1〜24-Mに当該切換え先のタスクに対応するコンテキストが存在する場合には、対応するレジスタファイル24-X（ $X=1 \sim M$ ）のみをアクティブにするための制御信号SCを出力する。

【0041】これによりそれ以降は、当該アクティブにされたレジスタファイル24-Xのみがアクセス可能となり、このレジスタファイル24-Xに格納されているコンテキストに基づいて演算回路26はタスクの処理を行なうこととなる。

ii) 退避/復帰処理を行なう場合の制御

一方、いずれのレジスタファイル24-1〜24-Mにも当該切換え先のタスクに対応するコンテキストが存在しない場合には、レジスタファイル選択回路12Aは、タスクの優先度等に基づいてコンテキスト用メモリ14に退避すべきコンテキストが格納されているレジスタファイル24-Y（ $Y=1 \sim M$ ）を判別する。

【0042】これにより退避/復帰制御回路12は、制

11

御信号SCにより、レジスタファイル24-Yに格納されているコンテキストを退避/復帰用内部バス11を介してコンテキスト用メモリ14に退避する。レジスタファイル24-Yに格納されているコンテキストのコンテキスト用メモリ14への退避が終了すると、退避/復帰制御回路12は、再び制御信号SCにより、レジスタファイル24-Yに復帰させるべきコンテキストを退避/復帰用内部バス11を介してレジスタファイル24-Yに格納する。

【0043】そして、退避/復帰制御回路12は、コンテキストのレジスタファイル24-Yへの復帰が完了すると、レジスタファイル24-Yをアクティブにするための制御信号SCを出力する。これによりそれ以降は、当該アクティブにされたレジスタファイル24-Yをアクセスすることが可能となり、このレジスタファイル24-Yに格納されているコンテキストに基づいて演算回路26は対応するタスクの処理を行なうこととなる。

【0044】以上の退避/復帰処理は、内部バス17、バス制御回路22、外部バス13及びデータ用メモリ20を用いて現在行なわれている演算回路26のタスクの処理と並行して行なうことができるので、現在実行中のタスクの処理を中断する必要がなく、レジスタファイルの切替時間のオーバーヘッドを削減することが可能となる。従って、マイクロプロセッサ全体のパフォーマンスを向上させることができる。

【0045】以上の説明のように、処理すべきタスク数Nがレジスタファイル数Mより多い場合にも、見掛け上、全てのコンテキストをレジスタファイルに格納した場合と同等の処理を行なうことができ、復帰/退避処理のために現在実行中のタスクの処理が影響を受けないように余裕を見込んだ数のレジスタファイルを用意しておけばよいので、タスク切替に伴うオーバーヘッドを削減するために最低限必要なレジスタファイル数は少なくとも、簡易な構成を達成できるにもかかわらずマイクロプロセッサ全体のパフォーマンスを向上できる。

【0046】次に図2乃至図10を参照してより具体的な動作を説明する。以下においては、説明の簡略化のため、レジスタファイル数M=2の場合について説明する。この場合において、処理すべきタスクは、図2に示すように、第1タスクT1、第2タスクT2、第3タスクT3、第4タスクT4の4個あり、タスクの優先度は、数字が小さいほど優先度が高く、第1タスクT1の優先度=1（最も優先度が高い）、第2タスクT2の優先度=2、第3タスクT3の優先度=3、第4タスクT4の優先度=4（最も優先度が低い）であるとする。さらに、タスクの状態としては、図2、図4(a)あるいは図5(a)に示すように、タスクを実行中である実行状態（図中、「RUN」と示す。）、直ちにタスクの実行に移行できる実行可能状態（図中、「READY」と示す。）、キー入力待ち等の待機状態（図中、「WA

12

T」と示す。）の3状態があるものとする。また、これらのタスクの状態に関する情報（例えば、図2参照）は、退避/復帰制御回路12が保有している。

【0047】また、図2乃至図10においては、図示の簡略化のため、第1タスクT1をタスクT1、第2タスクT2をタスクT2、第3タスクT3をタスクT3、第4タスクT4をタスクT4と表している。また、図4乃至図10においては、図示の簡略化のため、バス制御回路22及び内部バス17は図示を省略している。

【0048】初期状態においては、図2及び図4(a)に示すように、第1タスクT1は実行状態（＝「RUN」）、第2タスクT2、第3タスクT3及び第4タスクT4は実行可能状態（＝「READY」）にあるものとする。この段階では、演算回路26は、第1レジスタファイル24-1に格納されている第1タスクT1のコンテキストに基づいて第1タスクT1の処理を行なっている。この第1タスクT1の処理の結果については、内部バス17、バス制御回路22及び外部バス13を介してデータ用メモリ20に格納される。

【0049】そして、第2レジスタファイル24-2には、優先度=2の第2タスクT2のコンテキストが格納されている。さらにコンテキスト用メモリ14には、優先度=3のタスク、すなわち、第3タスクT3のコンテキスト及び現時点において優先度の最も低い第4タスクT4のコンテキストが格納されている。

【0050】そして、第1タスクT1の処理の途中でキーボードを介したデータ入力待ち状態等が発生すると、図5(a)に示すように、第1タスクT1は待機状態（＝「WAIT」）となり、演算回路26は、第2レジスタファイル24-2に格納されている第2タスクT2のコンテキストを用いて、第2タスクT2を実行状態（＝「RUN」）とする。

【0051】この第2タスクT2の実行と並行して、退避/復帰制御回路12のレジスタファイル選択回路12Aは、図5(a)に示した各タスクの優先度及び状態に基づいて判別を行ない、待機状態（＝「WAIT」）にある第1レジスタファイル24-1に格納されている第1タスクT1のコンテキストをコンテキスト用メモリ14に退避すべき旨の判別を行なう。

【0052】このレジスタファイル選択回路12Aの判別に基づいて、図3のフローチャートに示すように、退避/復帰制御回路12は、制御信号SCにより第1レジスタファイル24-1から退避/復帰用内部バス11を介して、コンテキスト用メモリ14に第1タスクT1のコンテキストを退避する（ステップS1）。

【0053】図6に第1タスクT1のコンテキストをコンテキスト用メモリ14に退避後の状態を示す。そして、この第1タスクT1のコンテキストの退避処理と並行して演算回路26は、第2レジスタファイル24-2に格納されている第2タスクT2のコンテキストに基づい

13

て第2タスクT2の処理を行なうこととなる(ステップS3)。

【0054】さらに退避/復帰制御回路12は、コンテキスト用メモリ14にコンテキストが格納されているタスクのうち、実行可能状態(=「READY」)にあり、かつ、最も優先度の高いタスクのコンテキスト(図5(a)参照)、すなわち、この場合においては制御信号SCにより第3タスクT3のコンテキストを退避/復帰用内部バス11を介して第1レジスタファイル24-1に復帰する(ステップS2)。

【0055】図7に第3タスクT3のコンテキストを第1レジスタファイル24-1に復帰後の状態を示す。そして、第2タスクT2の処理の途中でキーボードを介したデータ入力待ち状態等が発生すると、図8(a)に示すように、第2タスクT2は待機状態(=「WAIT」)となり、演算回路26は、第1レジスタファイル24-1に格納されている第3タスクT3のコンテキストを用いて、第3タスクT3を実行状態(=「RUN」)とする。

【0056】この第3タスクT3の実行と並行して、退避/復帰制御回路12のレジスタファイル選択回路12Aは、図8(a)に示した各タスクの優先度及び状態に基づいて判別を行ない、待機状態(=「WAIT」)にある第2レジスタファイル24-2に格納されている第2タスクT2のコンテキストをコンテキスト用メモリ14に退避すべき旨の判別を行なう。

【0057】このレジスタファイル選択回路12Aの判別に基づいて、図3のフローチャートに示した処理と同様に、退避/復帰制御回路12は、制御信号SCにより第2レジスタファイル24-2から退避/復帰用内部バス11を介して、コンテキスト用メモリ14に第2タスクT2のコンテキストを退避する(図3のステップS1に相当)。

【0058】図9に第2タスクT2のコンテキストをコンテキスト用メモリ14に退避後の状態を示す。そして、この第2タスクT2のコンテキストの退避処理と並行して演算回路26は、第1レジスタファイル24-1に格納されている第3タスクT3のコンテキストに基づいて第3タスクT3の処理を行なうこととなる(図3のステップS3相当)。

【0059】さらに退避/復帰制御回路12は、図10に示すように、コンテキスト用メモリ14にコンテキストが格納されているタスクのうち、実行可能状態(=「READY」)にあり、かつ、最も優先度の高いタスクのコンテキスト(図8(a)参照)、すなわち、この場合には第4タスクT4のコンテキストを退避/復帰用内部バス11を介して第2レジスタファイル24-2に復帰する(図3のステップS2相当)。

【0060】そして、以下、同様にしてコンテキストの退避/復帰及びレジスタ切換えを行なってマルチタスク

14

処理を実行する。以上の説明のように、本実施形態によれば、演算回路26におけるタスクの実行を中断することなく、すなわち、演算回路26におけるタスクの実行と並行してコンテキストの退避/復帰処理を行なうことができ、タスク切替に伴う退避/復帰処理のためのオーバーヘッドを削減し、マイクロプロセッサ全体のパフォーマンスを向上させることができるのである。

【0061】さらにコンテキスト用メモリを外部バスと比較してより高速処理が可能な内部バス(=退避/復帰用内部バス)に接続しているため、コンテキスト用メモリを退避/復帰用バス制御回路及び退避/復帰用の外部バスを介してマイクロプロセッサの外部に接続する場合と比較して回路構成を簡略化することができ、タスク切替時間の短縮化が図れる。

【0062】また、マイクロプロセッサがコンテキスト用メモリを内蔵しているため、マイクロプロセッサとコンテキスト用メモリを接続する必要もなく、接続ミス等による誤動作が発生することがないため、信頼性を向上することができる。

【0063】

【発明の効果】請求項1記載の発明によれば、マルチタスク処理装置は、コンテキストの退避/復帰処理を行なう必要がある場合、すなわち、M個のレジスタ群に処理すべきタスクに対応するコンテキストが格納されていない場合には、退避/復帰制御手段は、内部バスとは別個に設けられた退避/復帰用内部バスを介して、いずれかのレジスタ群に格納されているコンテキストをコンテキスト用記憶手段に退避するとともに、コンテキスト用記憶手段に格納されている処理すべきコンテキストを当該レジスタ群に復帰させるので、通常のタスク処理をコンテキストの退避/復帰と並行して行なうことができ、退避/復帰処理のオーバーヘッドを削減して、マルチタスク処理装置全体のパフォーマンスを向上できる。

【0064】さらにコンテキスト用メモリを外部バスと比較してより高速処理が可能な退避/復帰用内部バスに接続しているため、コンテキスト用メモリを外部バスに接続する場合と比較して回路構成を簡略化することができ、タスク切替時間の短縮化が図れ、コンテキスト用メモリを外部に接続する必要もないので接続ミス等による誤動作が発生することがなく信頼性を向上することができる。

【0065】請求項2記載の発明によれば、請求項1記載の発明の効果に加えて、退避/復帰制御手段は、現在実行中のタスク処理と並行して現在実行中のタスク処理を除く各タスク処理の優先順位及び処理状態に基づいて次に退避可能なタスク処理及び復帰すべきタスク処理の判別処理を行なうので、次に実行すべきタスク処理に対応するコンテキストは、いずれかのレジスタ群に格納されていることとなり、直ちにレジスタ群の切換えを行なえ、切換のオーバーヘッドをより低減することが可能と

なる。

【0066】請求項3記載の発明によれば、請求項1又は請求項2記載の発明の効果に加えて、並行して処理すべき全タスク数を L (L : 2以上の整数) とし、 $L \leq M$

の場合には、全タスク処理に対応するコンテキストを M 個のレジスタ群のうちの L 個のレジスタ群に格納するので、タスク切替に伴うコンテキストの退避/復帰処理が生じることがなく高速に処理を行なうことができ、マルチタスク処理装置のパフォーマンスを低下させることがない。

【0067】請求項4記載の発明によれば、判別工程は、現在実行中のタスク処理と並行して現在実行中のタスク処理を除く各タスク処理の優先順位及び処理状態に基づいて次に退避可能なタスク処理及び復帰すべきタスク処理を判別し、退避/復帰工程は、判別工程における判別に基づいて、内部バスとは別個に設けられてコンテキストの退避/復帰を行なうための退避/復帰用内部バスを介して、退避可能なタスク処理に対応するコンテキストをコンテキスト用記憶手段に退避し、あるいは、コンテキスト用記憶手段からコンテキストをレジスタ群に復帰させるための制御を行なうので、通常のタスク処理は内部バスを介して行ない、退避/復帰処理は並行して退避/復帰用バスを介して行なうことにより退避/復帰処理のオーバーヘッドを削減して、マルチタスク処理全体のパフォーマンスを向上できる。

【0068】請求項5記載の発明によれば、請求項4記載の発明の作用に加えて、格納工程は、 $L \leq M$

の場合には、 M 個のレジスタ群のうちの L 個のレジスタ群に全タスク処理に対応するコンテキストを格納するので、タスク切替に伴うコンテキストの退避/復帰処理が生じることがなく高速に処理を行なうことができ、マルチタスク処理におけるパフォーマンスを低下させることがない。

【0069】請求項6記載の発明によれば、マルチタスク処理装置は、制御プログラムに基づいて、現在実行中のタスク処理と並行して前記現在実行中のタスク処理を除く各タスク処理の優先順位及び処理状態に基づいて次に退避可能なタスク処理及び復帰すべきタスク処理を判別させ、前記判別に基づいて、前記退避/復帰用内部バスを介して、前記退避可能なタスク処理に対応するコンテキストを前記コンテキスト用記憶手段に退避し、あるいは、前記コンテキスト用記憶手段から前記コンテキストを前記レジスタ群に復帰させるための制御を行なうの

で、通常のタスク処理は内部バスを介して行ない、退避/復帰処理は並行して退避/復帰用バスを介して行なうことにより退避/復帰処理のオーバーヘッドを削減して、マルチタスク処理全体のパフォーマンスを向上できる。

【0070】請求項7記載の発明によれば、請求項6記載の発明において、マルチタスク処理装置は、制御プログラムに基づいて、 $L \leq M$

の場合には、前記 M 個のレジスタ群のうちの L 個のレジスタ群に全タスク処理に対応するコンテキストを格納するので、タスク切替に伴うコンテキストの退避/復帰処理が生じることがなく高速に処理を行なうことができ、マルチタスク処理におけるパフォーマンスを低下させることがない。

【図面の簡単な説明】

【図1】実施形態のマルチタスク処理装置の概要構成ブロック図である。

【図2】タスク処理の優先度及び状態の例を説明する図である。

【図3】実施形態の動作処理フローチャートである。

【図4】実施形態の動作説明図（その1）である。

【図5】実施形態の動作説明図（その2）である。

【図6】実施形態の動作説明図（その3）である。

【図7】実施形態の動作説明図（その4）である。

【図8】実施形態の動作説明図（その5）である。

【図9】実施形態の動作説明図（その6）である。

【図10】実施形態の動作説明図（その7）である。

【図11】従来のマルチタスク処理装置の概要構成ブロック図である。

【符号の説明】

10 レジスタ回路

11 退避/復帰用内部バス

12 退避/復帰制御回路

12A レジスタファイル選択回路

13 外部バス

14 コンテキスト用メモリ

15 退避/復帰用データバス

16 退避/復帰用アドレスバス

17 内部バス

20 データ用メモリ

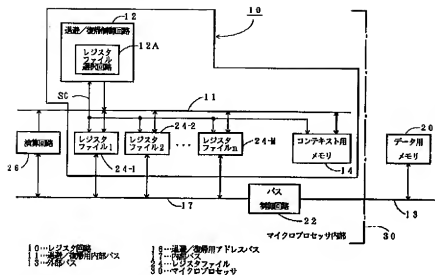
22 バス制御回路

24-1〜24-N レジスタファイル（レジスタ群）

26 演算回路

30 マイクロプロセッサ

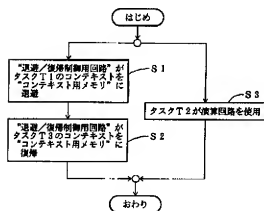
【図1】



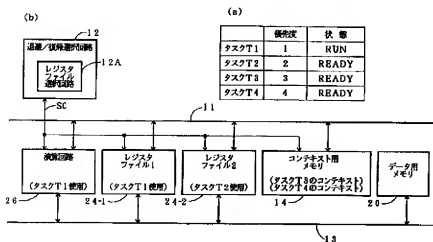
【図2】

	優先度	状態
タスクT1	1	RUN
タスクT2	2	READY
タスクT3	3	READY
タスクT4	4	READY

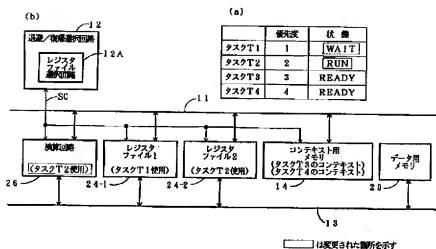
【図3】



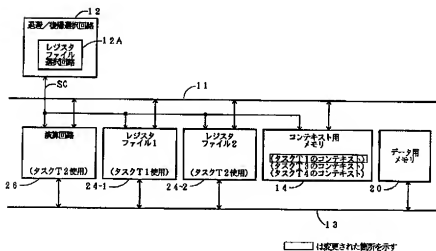
【図4】



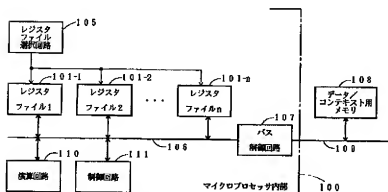
【図5】



【図6】

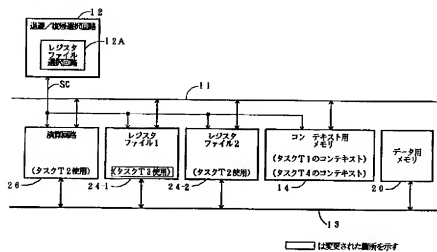


【図11】

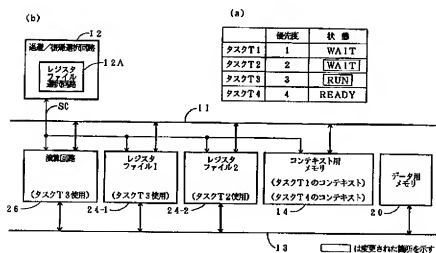


100...マイクロプロセッサ
106...外部バス

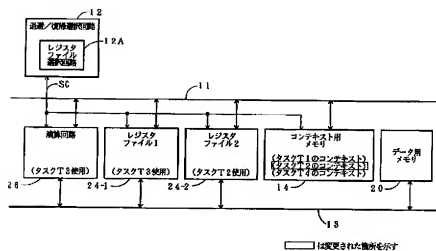
【図7】



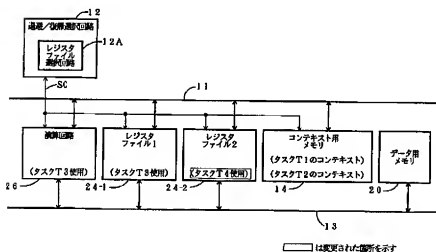
【図8】



【図 9】



【図 10】



フロントページの続き

(72)発明者 塩見 彰睦
静岡県浜松市半田町3776 医大宿舎K-
544
(72)発明者 仲野 巧
愛知県宝飯郡音羽町長沢八王子49

(72)発明者 板橋 光義
静岡県裾野市御宿1500 矢崎総業株式会社
内
(72)発明者 記録 真史
静岡県裾野市御宿1500 矢崎総業株式会社
内